

Technika cyfrowa 2

wykład 1

Układy cyfrowe - literatura

Podstawowa:

- **Stephen M. Nolan and Jose M. Soltero: Understanding and Interpreting Standard-Logic Data Sheets.** Application Report. Standard Linear & Logic. SZZA036B, May 2003, Texas Instruments
- **Designing With Logic** SDYA009C, June 1997, Texas Instruments
- **IC REFERENCE GUIDE. Bipolar, BiCMOS, and CMOS Logic Technology.** SCYB004, 1Q 2001 Texas Instruments

Uzupełniająca:

- nazwy plików na poszczególnych foliach

Low Voltage Logic Product Spectrum

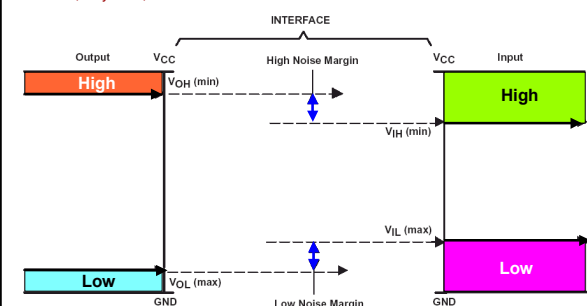
Innovative Low Logic Solutions from Philips Semiconductors. 9397 750 08443, June 2001
Philips Electronics

LV Low Speed	LVC Medium Speed	LVT High Speed	ALVC High Speed	ALVT Very High Speed	AVC Very High Speed
<ul style="list-style-type: none"> • 9ns performance • -8mA drive • 20µA standby current • V_{CC}: 1.0-3.6V* • Gates, MSI, bus interface functions • Analog switches • Multisourced 	<ul style="list-style-type: none"> • 4ns performance • -24/24mA drive • 10µA standby current • V_{CC}: 1.2-3.6V* • 5V-tolerant I/Os • Live Insertion • Bus Hold option • Terminator resistor option • Gates, bus interface functions • Picogate • LFBGA • Multisourced 	<ul style="list-style-type: none"> • 2ns performance • -32/64mA drive • 120-190µA standby current • V_{CC}: 2.7-3.6V* • 5V-tolerant** • 5V-tolerant I/Os • Live Insertion • Built-in Bus Hold • Terminator resistor option • Gates, bus interface functions • LFBGA • Multisourced 	<ul style="list-style-type: none"> • 2ns performance • -24/24mA drive • 40µA standby current • V_{CC}: 1.2-3.6V* • 5V-tolerant** • 5V-tolerant I/Os • Live Insertion • Built-in Bus Hold • Terminator resistor option • Gates, bus interface functions • LFBGA • Multisourced 	<ul style="list-style-type: none"> • 1.5ns performance • -32/64mA drive • 100µA standby current • V_{CC}: 2.3-3.6V • 5V-tolerant I/Os • Live Insertion • Built-in Bus Hold • Terminator resistor option • Bus interface functions • Multisourced 	<ul style="list-style-type: none"> • 1.0ns performance • Optimized for 2.5V output • -8mA static output drive • High dynamic drive • 20µA standby current • V_{CC}: 1.2-3.6V • 3.6V-tolerant I/Os • Live Insertion • Bus Hold option • Bus interface functions • Multisourced

* LV: Some Functions can operate up to 5.5V
**ALVC: Only non-Bus Hold types are 5V-input tolerant

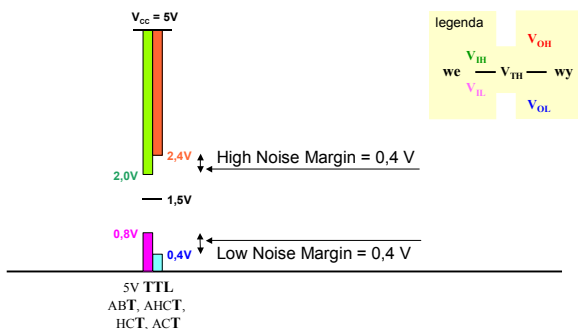
Logic Compatibility

Stephen M. Nolan and Jose M. Soltero: Understanding and Interpreting Standard-Logic Data Sheets. Application Report. Standard Linear & Logic. SZZA036B, May 2003, Texas Instruments



Poziomy napięć w układach cyfrowych (TTL)

$V_{CC} = 5V \pm 5/10\%$

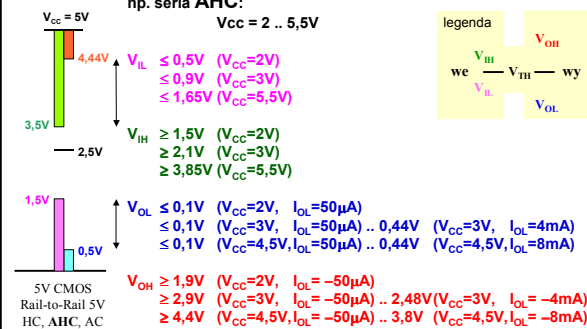


źródło: Texas Instruments

Poziomy napięć w układach cyfrowych (AHC)

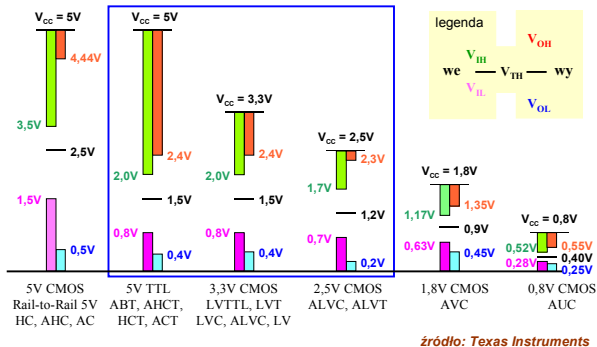
np. seria AHC:

$V_{CC} = 2 \dots 5.5V$



źródło: Texas Instruments

Poziomy napięć w układach cyfrowych



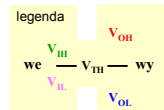
KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szostak

Poziomy napięć w układach cyfrowych (AUC)



SN74AUC1G08
Single 2-Input Positive AND Gate
sn74auc1g08, December 2002
Texas Instruments



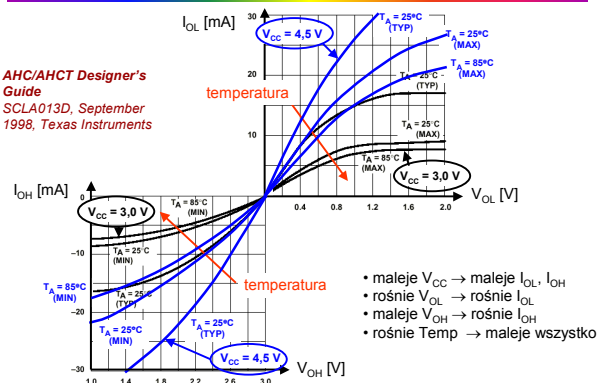
$$\begin{aligned} V_{IH} &= 0.65 \cdot V_{CC} \\ V_{IL} &= 0.35 \cdot V_{CC} \\ V_{OH} &= 0.55V / -0.7mA \\ V_{OL} &= 0.25V / 0.7mA \end{aligned} \quad \begin{aligned} &V_{CC} = 0.8V \text{ to } 1.95V \\ &V_{CC} = 0.8V \end{aligned}$$

$$t_{PD \text{ typ}} = 4.7 \text{ ns } (V_{CC} = 0.8V, C_L = 15pF)$$

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szostak

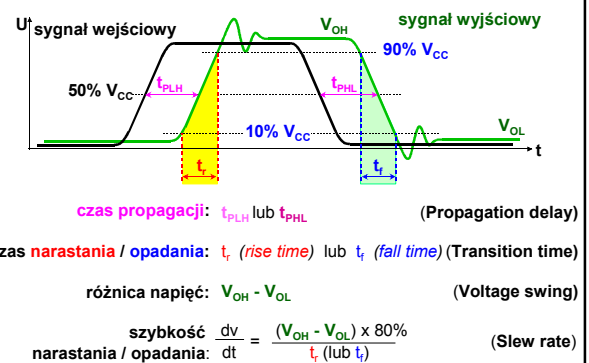
$I_O(V_O)$ seria AHC (CMOS)



KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szostak

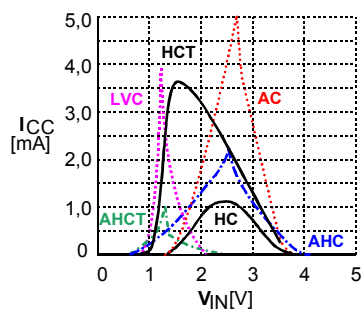
Czasy narastania, opadania i propagacji



KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szostak

Prąd przełączania - technologia

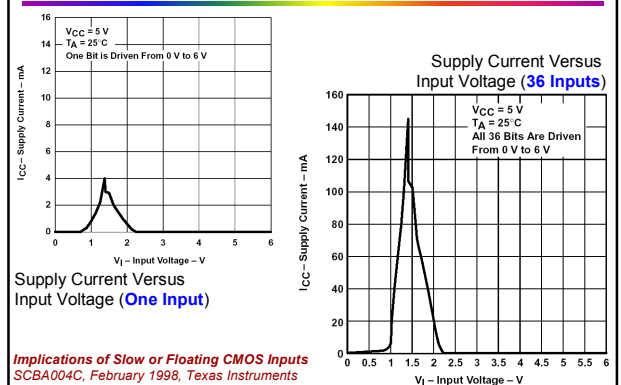


źródło: Texas Instruments

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szostak

Prąd przełączania buforów

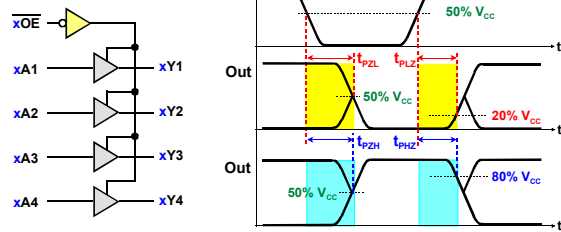


KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szostak

Parametry SN74xx244 / 16244 (TI)

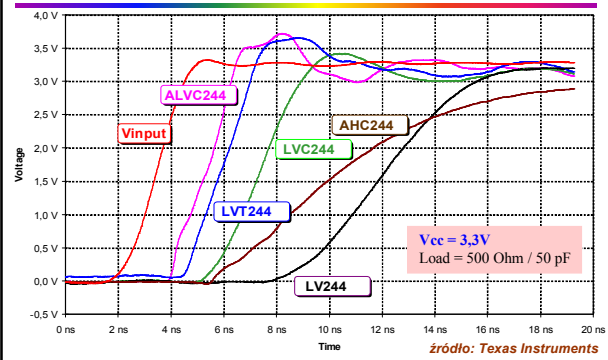
x = 1, 2 (244) 1...4 (16244)



KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szustak

x244 - czas narostu sygnału t_r napięcie zasilania $V_{CC} = 3,3 V$

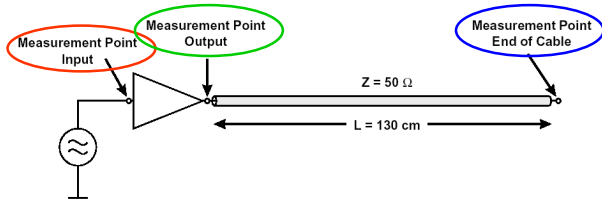


KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szustak

Sygnaly cyfrowe (1/2)

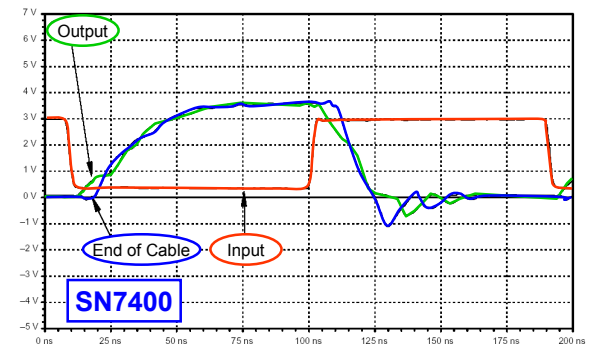
Input and Output Characteristics of Digital Integrated Circuits
SDYA010, November 1996, Texas Instruments



KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szustak

Sygnaly cyfrowe (2/2)

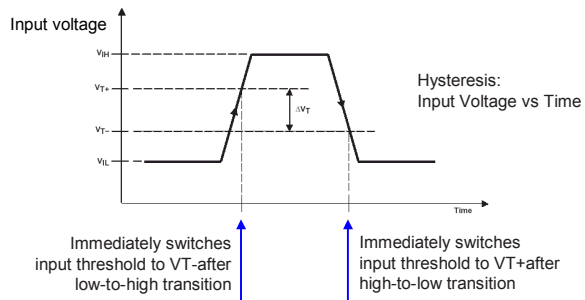


KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szustak

Histereza (1/2)

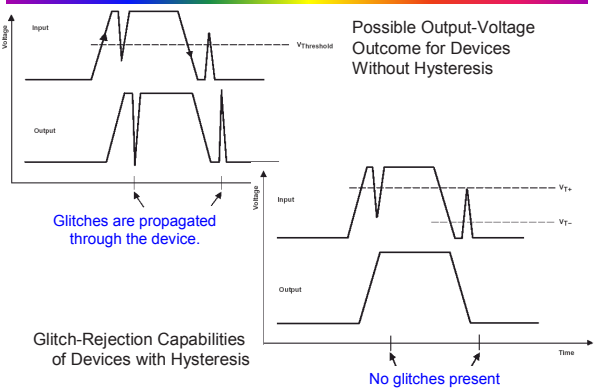
Signal Switch. Including Digital/Analog/Bilateral Switches and Voltage Clamps.
Logic Products. Data Book. SCDD003A, January 2004, Texas Instruments



KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szustak

Histereza (2/2)

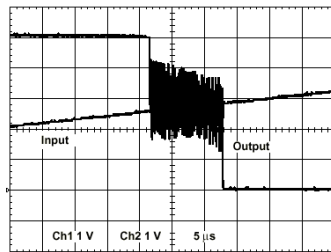


KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szustak

Pasożytnicze oscylacje

Eilhard Haseloff : Bus-Hold Circuit.
Application Report
SCLA015, February 2001,
Texas Instruments



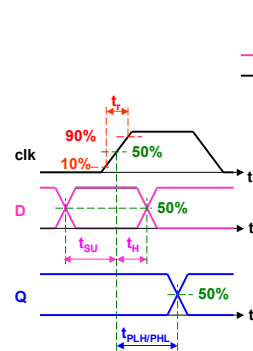
zbyt wolny narost sygnału wejściowego ($t_r = 200\text{ns}$) w układach bez wejścia formującego (Schmidta):

- niepożądane oscylacje na wyjściu układu
- wzrost prądu zasilania I_{CC}
- wzrost temperatury kryształu
- wzrost emisji zakłóceń elektromagnetycznych

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Przerzutnik typu D - definicje



Przykładowe czasy przełączania układów (Texas Instruments)

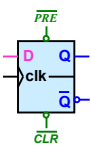
	t_{SU} [ns]	t_H [ns]	t_{PLH} [ns]	t_{PHL} [ns]
74175	> 12	> 2	< 12	< 17
74LS175	> 20	> 5	< 26	< 25
74ALS175	> 3	> 1	< 7,5	< 10
74HCT175	> 15	0	< 35	< 35
CD40175	> 120	> 80	< 400	< 400
74LVC2G74	> 2,9	> 0	< 13,4	< 14,4

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Przerzutnik typu D - tabela stanów

SN74LVC2G74. SINGLE POSITIVE-EDGE-TRIGGERED D-TYPE FLIP-FLOP
WITH CLEAR AND PRESET
SCES203F, DECEMBER 2001, Texas Instruments



FUNCTION TABLE

INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H [†]	H [†]
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	\bar{Q}_0

[†] This configuration is nonstable; that is, it does not persist when PRE or CLR returns to its inactive (high) level.

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

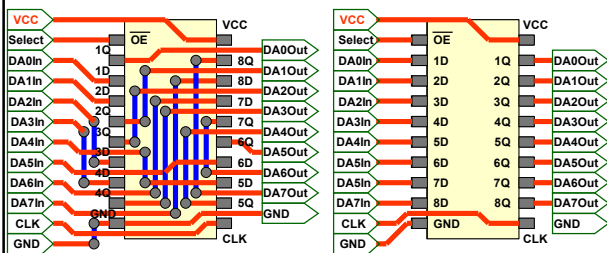
Przerzutnik typu D - LVC

		$V_{CC} = 1,8\text{V}$ $\pm 0,15\text{V}$	$V_{CC} = 2,5\text{V}$ $\pm 0,2\text{V}$	$V_{CC} = 3,3\text{V}$ $\pm 0,3\text{V}$	$V_{CC} = 5\text{V}$ $\pm 0,5\text{V}$	UNIT
f_{clock}		80	175	175	200	MHz
t_W	Pulse duration	6,2	2,7	2,7	2	ns
	CLK PRE or CLR low	6,2	2,7	2,7	2	ns
t_{SU}	Setup time before CLK [↑]	2,9	1,7	1,3	1,1	ns
	Data PRE or CLR inactive	1,9	1,4	1,2	1	ns
t_H	Hold time, data after CLK [↑]	0	0,3	1,2	0,5	ns

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Przerzutnik typu D - prostota PCB

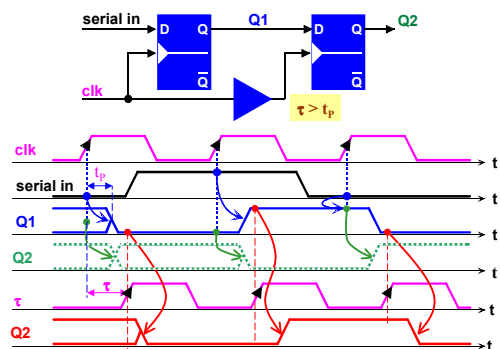


x374 ⇔ x574

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

2 - bitowy rejestr przesuwny

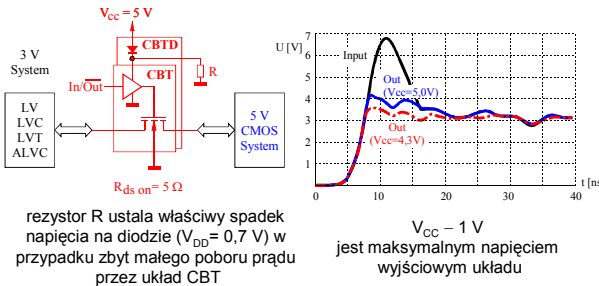


KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Stosować układy dopasowujące (1/3)

CBT (CrossBar Technology switch)
CBTD (CrossBar Technology switch with integrated Diode)

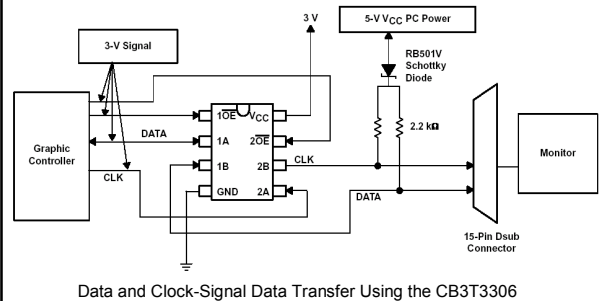


KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szustek

Stosować układy dopasowujące (2/3)

Christopher Graves, Moshul Haque, and Ernest Cox:
CBT-C, CB3T, and CB3Q Signal-Switch Families.
Application Report, Standard Linear & Logic, SCDA008, July 2003, Texas Instruments

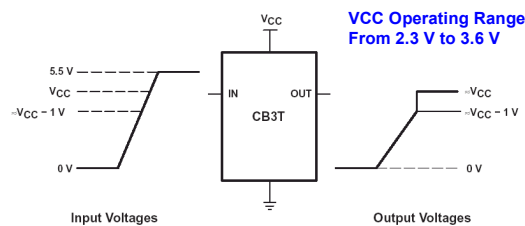


KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szustek

Stosować układy dopasowujące (3/3)

SN74CB3T16211. 24-BIT BUS SWITCH 2.5/3.3-V LOW-VOLTAGE BUS SWITCH WITH 5-V TOLERANT LEVEL SHIFTER
SCDS147, OCTOBER 2003, Texas Instruments



If the input high voltage (V_{IH}) level is **greater than or equal to $V_{CC} - 1 \text{ V}$** , and **less than or equal to 5.5 V**, then the output high voltage (V_{OH}) level will be **equal** to approximately the V_{CC} voltage level.

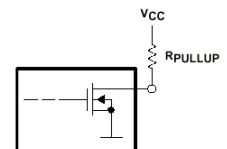
KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szustek

Stosować układy OC / OD

Benefits and Issues on Migration of 5-V and 3.3-V Logic to Lower-Voltage Supplies
sdaa011a, September 1999, Texas Instruments

Level Shifting Using the SN74LVC07A



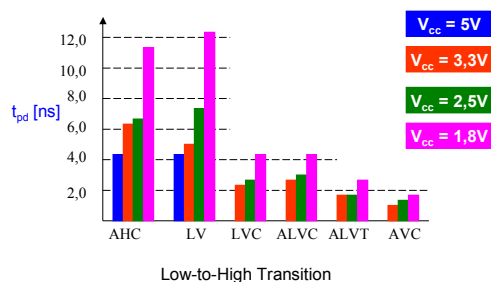
Supply Voltage V_{CC} [V]	Levels	Pullup Resistor can be connected to	Level Conversion Range
1.8	1.8 V	1.8 V, 2.5 V, 3.3 V, and 5 V	1.8 V → 1.8 V to 5.5 V
2.5	2.5 V	1.8 V, 2.5 V, 3.3 V, and 5 V	2.5 V → 1.8 V to 5.5 V
3.3	3.3 V	1.8 V, 2.5 V, 3.3 V, and 5 V	3.3 V → 1.8 V to 5.5 V
5	5 V	1.8 V, 2.5 V, 3.3 V, and 5 V	5 V → 1.8 V to 5.5 V

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szustek

Czas propagacji / zasilanie / technologia

Benefits and Issues on Migration of 5-V and 3.3-V Logic to Lower-Voltage Supplies
sdaa011a, September 1999, Texas Instruments

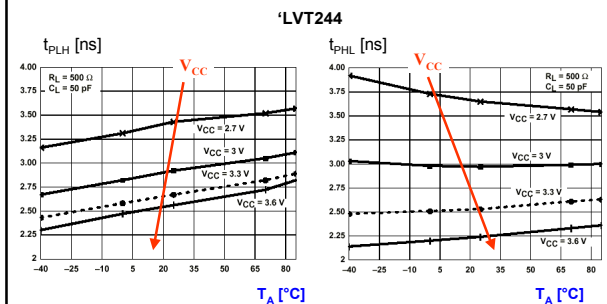


KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szustek

Czas propagacji / zasilanie / temperatura

Ken Ristow: LVT Family Characteristics. Advanced System Logic – Semiconductor Group.
scea002a, March 1998, Texas Instruments

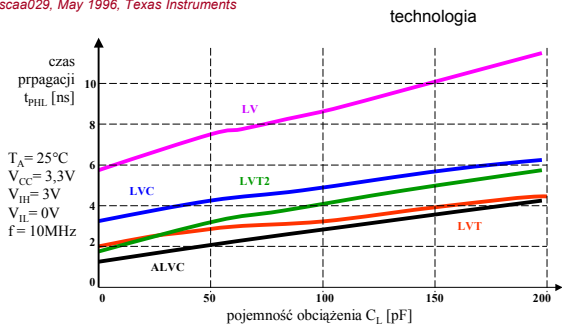


KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Szustek

Czas przełączania ↔ pojemność obciążenia

Understanding Advanced Bus-Interface Products
scaa029, May 1996, Texas Instruments



KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Pojemności układów

Designing With Logic
Sdya009c, June 1997
Texas Instruments,

Table 3. Capacitances of Digital Devices

FAMILY	INPUT CAPACITANCE (pF)	OUTPUT CAPACITANCE (pF)	
		OPEN-COLLECTOR OUTPUT†	BUS DRIVER
SN74	3	5	—
SN74LS	3.5	3.5	5
SN74S	3.5	3.5	9
SN74ALS	2	4	5
SN74AS	4	—	10
SN74F	5	5	9
SN74HC	3	3	9
74AC/SN74AC	4	—	10
SN74BCT	6	—	12
SN74ABT	4	—	8
SN74LV	3	—	8
SN74LVC	4	—	8
SN74LVT	4	—	8

† Open-collector output of gates and other devices with low drive capability (e.g., SN74xx03). Open-collector outputs of bus drivers have the same output capacitance as totem-pole (3-state) outputs.

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Wpływ: V_{CC} , T_A i C_L na t_{pd} , t_{en} i t_{dis}

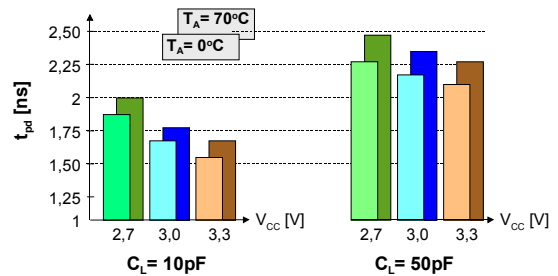
Timing Differences of 10-pF Versus 50-pF Loading.
Scea004, November 1996, Texas Instruments

- wybrano układ SN74ALVCH16244 (16-BIT BUFFER/DRIVER WITH 3-STATE OUTPUTS,
- pojemność obciążenia $C_L = 10\text{pF}$ i 50pF ,
- pomiar czasu:
 - propagacji sygnału t_{pd} (propagation delay time),
 - wyłączenia stanu wysokiej impedancji t_{en} (enable time),
 - włączenia stanu wysokiej impedancji t_{dis} (disable time),
- zmiana napięcia zasilania V_{CC} w zakresie: 2.7, 3.0 i 3.3 V,
- pomiary dla temperatury: $T_A = 0^\circ\text{C}$ i 70°C ,
- wyniki pomiarów dotyczą również układów: 'ALVCH16721, 'ALVCH162827 i 'ALVCH16835 ze względu na ten sam typ wyjścia jak w układzie 'ALVCH16244.

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Wpływ: V_{CC} , T_A i C_L na t_{pd}



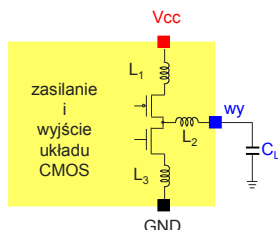
czas propagacji sygnału t_{pd} (propagation delay time) w funkcji:
 • napięcia zasilania V_{CC} ,
 • temperatury T_A ,
 • pojemności obciążenia C_L .

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Parametry pasozytnicze

indukcyjności i pojemności (pasozytnicze i strukturalne) wewnętrznych połączeń i zasilania w układach cyfrowych:



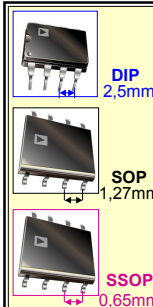
szybkość narostu / opadania sygnału V na wyjściu układu logicznego:

$$V = L \times \frac{di}{dt}$$

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Typy obudów



Pin	DIP		SOP		SSOP	
	C [pF]	L [nH]	C [pF]	L [nH]	C [pF]	L [nH]
1, 20	1,49	13,7	0,86	5,8	0,47	5,0
2, 19	1,29	11,1	0,75	4,6	0,45	4,1
3, 18	0,90	8,6	0,60	3,8	0,30	2,7
4, 17	0,72	6,0	0,54	3,3	0,30	2,6
5, 16	0,53	3,4	0,45	3,0	0,30	2,6
6, 15	0,53	3,4	0,45	3,0	0,30	2,6
7, 14	0,72	6,0	0,54	3,3	0,30	2,6
8, 13	0,90	8,6	0,60	3,8	0,30	2,7
9, 12	1,29	11,1	0,75	4,6	0,45	4,1
10, 11	1,49	13,7	0,86	5,8	0,47	5,0

C - pojemność pin - GND
L - indukcyjność pinu

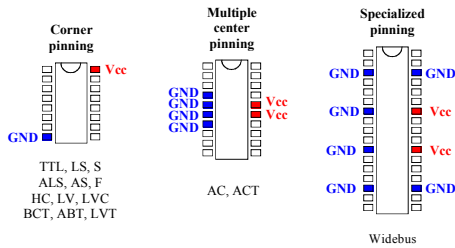
DIP - Dual In Line Package
SOP - Small Outline Package
SSOP - Shrink Small Outline Package

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Uwaga na obudowy

nowe zasady wyprowadzeń - zmniejszenie wpływu wewnętrznych połączeń

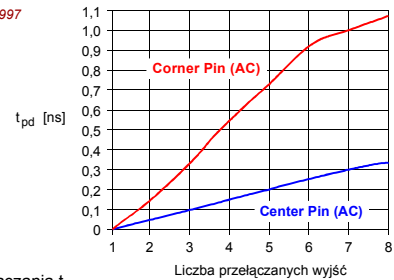


KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Krótsze połączenia - szybsze działanie

Sdya009c
Designing With Logic
Texas Instruments, June 1997



wzrost czasów przełączania t_{pd}
w zależności od typu obudowy i
liczby równocześnie przełączanych wyjść

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

SSOP - TSSOP - TVSOP - LFBGA

scya007.pdf
Johannes Huchzemeier:
Comparison of Electrical and Thermal Parameters of Widebus SMD SSOP, TSSOP, TVSOP, and LFBGA Packages. Texas Instruments Application Report, October 1999

Widebus Packages:

SSOP (Shrink Small-Outline Package) 48-pin

TSSOP (Thin Shrink Small-Outline Package) 48-pin

TVSOP (Thin Very Small-Outline Package) 48-pin

LFBGA (Low-profile Fine-pitch Ball Grid Array) 96-balls



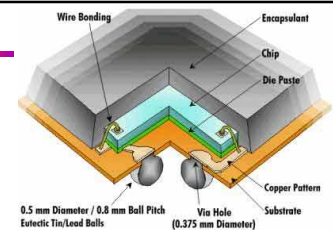
typ	pojemność Pin - GND [pF]		indukcyjność Die - Pin [nF]	
	max	min	max	min
SSOP 48-pin	0,443	0,074	7,970	5,080
TSSOP 48-pin	0,410	0,077	3,990	2,370
TVSOP 48-pin	0,296	0,048	4,310	2,380
LFBGA 96-ball	0,145	0,046	2,866	1,597

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

LFBGA

SCEA014
32-Bit Logic Families in LFBGA
Packages: 96 and 114 Ball, Low-Profile
Fine-Pitch BGA Packages.
Texas Instruments, October 1998



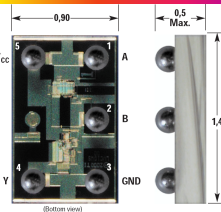
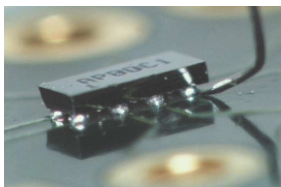
	LFBGA-96	LFBGA-114
Ball count	96	114
Ball configuration (rows, columns)	6 x 16	6 x 19
Square/Rectangular	R	R
Ball-to-ball pitch (mm)	0.8	0.8
Ball diameter (mm)	0.5	0.5
Package body width (mm)	5.5	5.5
Package body length (mm)	13.5	16
Package thickness (mm)	1.2 min - 1.5 max	1.2 min - 1.5 max
Package weight (mg)	132	167

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

NanoStar™

www.ti.com/nanostar

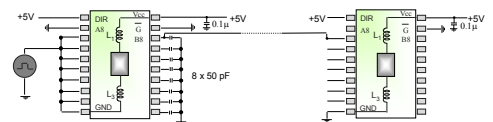


Attribute	5-Ball	4-Ball	3-Ball
Ball Pitch (mm)	0.5	0.5	0.5
Ball Diameter (mm)	Small Bump = 0.17 Large Bump = 0.23	Small Bump = 0.17 Large Bump = 0.23	Small Bump = 0.17 Large Bump = 0.23
Package Length (mm)	1.4	1.4	1.9
Package Width (mm)	0.9	0.9	0.9
Package Height (mm)	0.5 max	0.5 max	0.5 max
Ball Matrix (rows, columns)	3 x 2, depopulated 1	3 x 2	4 x 2
Weight (mg)	Small Bump = 0.995 Large Bump = 1.07	Small Bump = 0.998 Large Bump = 1.13	Small Bump = 1.30 Large Bump = 1.53

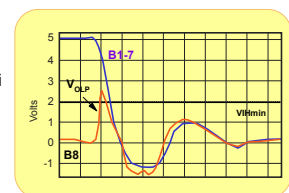
KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Równoczesne przełączanie wyjść



wskutek indukcyjności i pojemności
pasozytniczych wewnątrz układu
stan na statycznym wyjściu B8
(stan niski) ulega zmianie

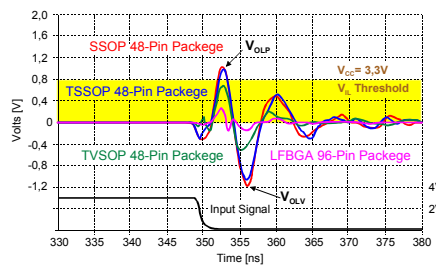


KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Równoczesne przełączanie wyjść (LOW)

15 Bits Switching, Only One Measurement Static Input at Low State

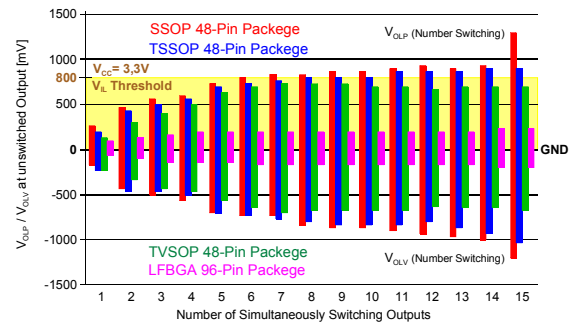


V_{OLP} (voltage output low peak): Ground bounce: peak output-voltage value during a static low at the nonswitched output
 V_{OLV} (voltage output low valley): Ground bounce: minimum output-voltage value during a static low at the nonswitched output

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Oscylacje - równoczesne przełączanie



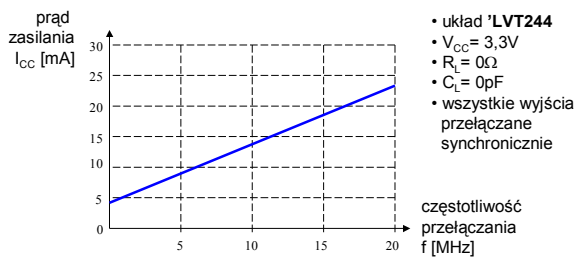
$V_{OLP} - V_{OLV}$ określa amplitudę oscylacji sygnału na wyjściu układu w stanie niskim

KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Prąd zasilania \leftrightarrow częstotliwość

Ken Ristow: LVT Family Characteristics Advanced System Logic – Semiconductor Group
 Scea002a, March 1998, Texas Instruments

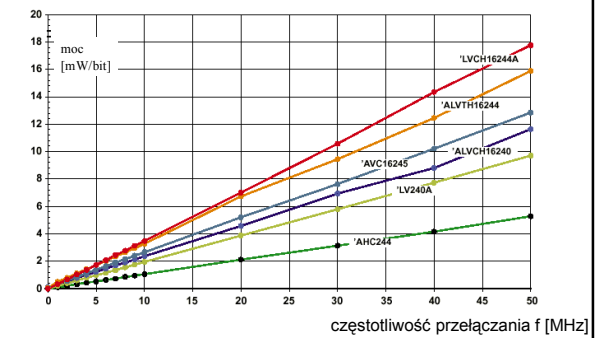


KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak

Moc \leftrightarrow technologia

Benefits and Issues on Migration of 5-V and 3.3-V Logic to Lower-Voltage Supplies
 Sdaa011a, September 1999, Texas Instruments



KATEDRA METROLOGII ELEKTRONICZNEJ I FOTONICZNEJ

opracowanie: Andrzej Stasiak